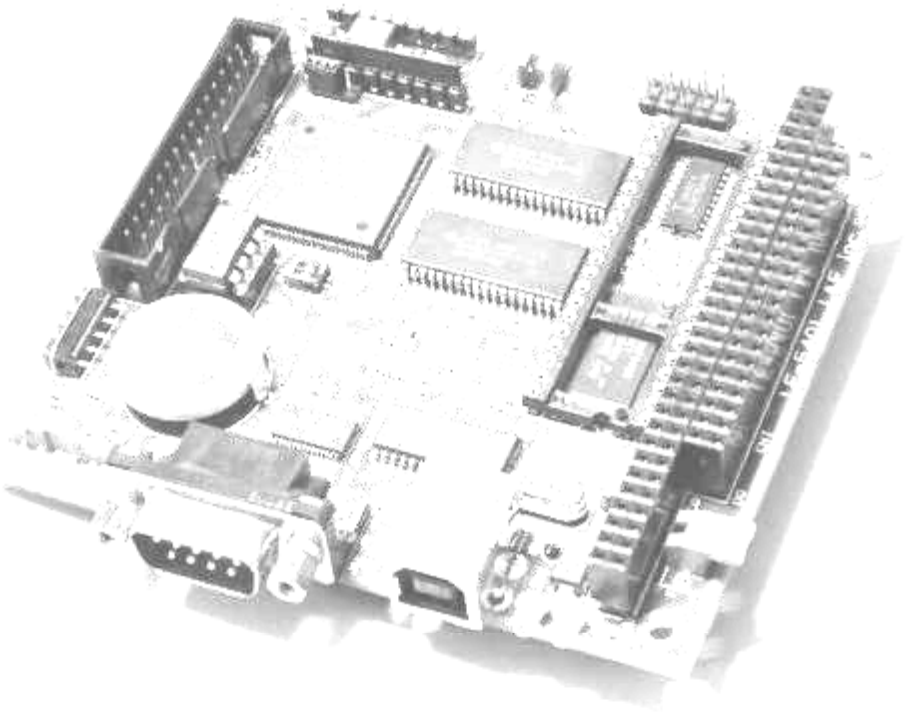
SH2/7045 PC/104-16bit BUS CPU BOARD
ＬＦ－５４
取扱説明書



２００６年1月２１日

この度は、ＳＨ－２搭載PC/104 BUS多機能ＣＰＵボードＬＦ－５４０１をお買い上げいただき、
誠にありがとうございます。

梱包内容をご確認下さい。

- ＬＦ－５４０１　　×　１枚
- サンプルソフトディスク　　×　１枚
- 電源供給用ハウジング　　×　１個
- ＰＣ／１０４用スペーサ　　×　４個

＊ご注意事項

1) 本製品及び本書の内容については、改良のために予告なく変更することがあります。
2) 本製品を使用した結果の他への影響については、責任は負いかねますので、ご了承下さい。
3) 本製品を安全にご使用いただくために、特に以下の点にご注意下さい。

本製品には一般電子機器用（ＯＡ機器・通信機器・計測機器・工作機器等）に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないで下さい。

また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い申し上げます。

- 本書に記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。
- 本取扱い説明書の閲覧には、Adobe社のAcrobatReaderが必要です。
- 本製品実装デバイス資料掲載ＵＲＬ

PC/104関連メーカーリンク
http://www.PC104.com
PC/104仕様書
http://www.controlled.com/pc104/consp5.html
ルネサステクノロジＣＰＵ
http://japan.renesas.com/fmwk.jsp?cnt=superh_family_landing.jsp&fp=/products/mpumcu/superh_family/
ルネサステクノロジメモリ
http://japan.renesas.com/fmwk.jsp?cnt=memory_category_landing.jsp&fp=/products/memory/&site=i
エプソンＲＴＣ
http://www.epsontoyocom.co.jp/product/rtc_set.html
ナショナルセミコンダクタＵＳＢ
http://www.national.com/search/search.cgi/main?keywords=USBN9604&GO.x=11&GO.y=4
ＡＭＤフラッシュメモリ
http://www.amd.com/us-en/Processors/TechnicalResources/0,,30_182_739_11683,00.html
京セラキンセキ水晶発振器
http://www.kyocera.co.jp/prdct/electro/i_crystal.html
STマイクロ　ＥＥＰＲＯＭ
http://www.st-japan.co.jp/99_04_search/cgi/get_pdf.pl?M27C4002

logic and firm
L&F

株式会社エル・アンド・エフ

〒175-0083 東京都板橋区徳丸4-2-9
Tel:03-5398-1116　Fax:03-5398-1181
Mail:l-and-f@l-and-f.co.jp
URL:http://www.l-and-f.co.jp

【 目 次 】

１．概要・・・

９．スイッチ／ジャンパの設定・・・・・・・・・・・・・・・・・・・・・・・２５
９－１）Ｓ１・・・・・・・・・・・・・・・・・・・・・・・・・・・・・２５
９－２）Ｓ２・・・・・・・・・・・・・・・・・・・・・・・・・・・・・２６
９－３）ＪＰ１・・・・・・・・・・・・・・・・・・・・・・・・・・・・２７
９－４）Ｊ１、Ｊ２・・・・・・・・・・・・・・・・・・・・・・・・・・２７
９－５）Ｊ３、Ｊ４・・・・・・・・・・・・・・・・・・・・・・・・・・２７

１０．ＣＰＵに対するプログラム書込・・・・・・・・・・・・・・・・・・・・・・２８

１１．基板外形・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・２９

１２．使用時の留意点・・・・・・・・・・・・・・・・・・・・・・・・・・・３０
１２－１）ＥＰＲＯＭ使用時の注意事項・・・・・・・・・・・・・・・・・３０
１２－２）ＲＳ２３２Ｃドライバ使用時の注意事項・・・・・・・・・・・・・３０
１２－３）ＣＰＬＤについて・・・・・・・・・・・・・・・・・・・・・・３０
１２－４）ＰＣ／１０４　ＢＵＳへのアクセス・・・・・・・・・・・・・・・３０

１．概要

LF-54 は、日立社製 CPU（SH2）を搭載した、PC/104 サイズの CPU ボードです。

２．特徴

・CPU に SH7045AF-28（日立製作所社製）を搭載し、最高 28.7MHz の高速動作が可能です。

・PC/104BUS コンパチブルのスタッキング可能なコネクタを搭載しており、市販されている多種の PC/104 BUS インターフェースボードとカードゲージ等無しで、接続できます。
また、PC/104 BUS は 16Bit BUS の PC/104 ボードも接続可能です。

・プログラムは、CPU 内蔵 FLASH または LF-54 上 EPROM、FLASH MEMORY の何れからもブート可能です。

・SH2 内蔵の I/O 信号をコネクタより取出しが可能なため、PWM 制御／位相計測／アナログ信号のサンプリング等のアプリケーションにも対応可能です。

・外部との高速通信（RS232C ﾎﾟｰﾄ（最高 460,800bps）×２チャネル、USB ポート１チャネル）が可能です。

・リアルタイムクロックを搭載しています。

・メモリは、電池バックアップ可能な SRAM(1MB)及び FLASH MEMORY(1MB)、EPROM(512Kbyte)を搭載しておりりますので、ボード単体でも幅広い応用が可能です。

・CPU の動作クロック供給部はキンセキ社の水晶発振器 EXO-3 を採用し、装着部は IC ソケットとなっているため、お客様所望の周波数に簡単に変更できます。（EXO-3 は、別途お買い求めいただく必要があります）
また、CPU クロックモード及び EXO-3 の周波数倍率をディップスイッチで変更できるため、１つの水晶発振器で CPU を様々な周波数で動作させることができます。

3．一般仕様

表３－１に LF-54 の一般仕様を示します。

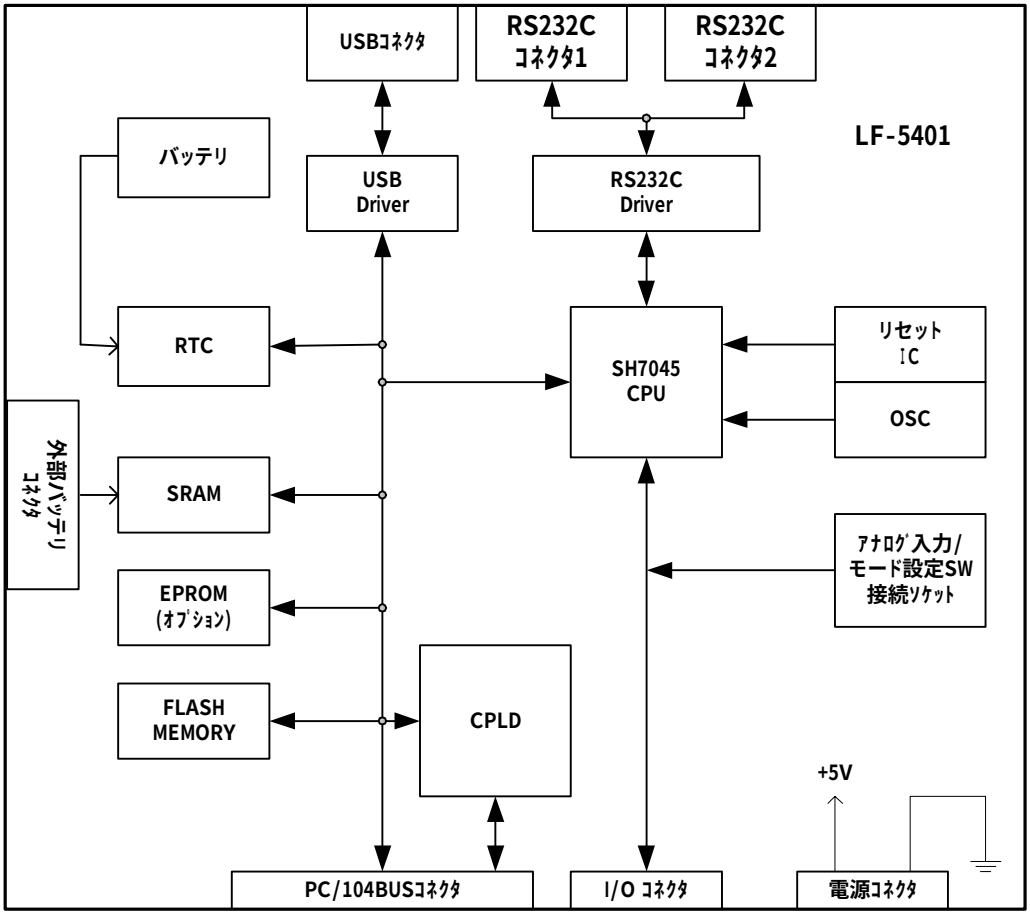
表３－１　LF-54 の一般仕様

項　　目	内　　容
動作電圧範囲	DC+5V±5%
消費電流	250mA(typ)
動作温度範囲	0℃～+50℃（結露なきこと）
保存温度範範囲	0℃～+70℃（結露なきこと）
外形寸法	90.1mm×95.8mm

４．ブロック図

LF-54 のブロック図を図４－１に示します。

図４－１　LF-54 ブロック図



５．各部の仕様

５－１）ＣＰＵ

・品　　名：HD64F7045F28
・メーカー　：ルネサステクノロジー
・動作周波数：水晶発振器の周波数及びモード設定スイッチにより可変
・内蔵機能　：・FLASH ROM（256Kbyte）
・SRAM（4Kbyte）
・シリアルポート（ＳＣＩ）×２ポート
・ダイレクトメモリアクセスコントローラ(DMAC)×４チャネル
・データトランスファコントローラ(DTC)
・ウォッチドックタイマ×１
・Ａ／Ｄコンバータ（分解能１０ビット）×８
・マルチファンクションパルスユニット(MTU)
・コンペアマッチタイマ(CMT)×２チャネル

５－２）ＣＰＬＤ

・品　　名：EPM7032STCC44-5×１
・メーカー　：アルテラ
・機　　能：
① PC/104BUS データ入出力処理
② ボード上 MEMORY、I/O 制御

５－３）ＳＲＡＭ

・品　　名　：R1RP0408DGE-2LR（又は同等品）×２
・メーカー　　：ルネサステクノロジー等
・容　　量　：512Kbyte（１個当り）
・バックアップ：外部電池を接続することにより可能

５－４）ＦＬＡＳＨ　ＭＥＭＯＲＹ

・品　　名：AM29F040B-55EC または同等品×２
・メーカー　：AMD等
・容　　量：512Kbyte（１個当り）

５－５）ＥＰＲＯＭ（オプション）

・品　　名：M27C4002 または同等品×１
・メーカー　：ＳＴマイクロ等
・容　　量：512Kbyte

５－６）ＲＳ２３２Ｃドライバ（ＳＣＩ０側）

・品　　名　：SP3243EHCA×１
・メーカー　　：Ｓｉｐｅｘ
・電気的使用　　：ＥＩＡ／ＴＩＡ－２３２－Ｅに準拠
・最高伝送レート：460,800bps

５－７）ＲＳ２３２Ｃドライバ（ＳＣＩ１側）

・品　　名　：SP3223EHCY×１
・メーカー　　：Ｓｉｐｅｘ
・電気的使用　　：ＥＩＡ／ＴＩＡ－２３２－Ｅに準拠
・最高伝送レート：460,800bps

5－8）ＵＳＢドライバ

・品　　名：USBN9604-28M×１
・メーカー　：ナショナルセミコンダクタ
・電気的使用：USB1.0 及び USB1.1 に準拠

5－9）ＲＴＣ

・品　　名：RTC-7301SF×１
・メーカー　：セイコーエプソン
・機　　能：・30 秒アジャスト機能、デジタル歩度調整機能
　　・アラーム／タイマー割込機能
　　・半導体温度センサ内臓

5－１０）バッテリー

・品　　名：CR2032/1HF×１
・メーカー　：松下電器
・電池容量　：220mAh

5－１１）ＯＳＣ

・品　　名：EXO-3
・メーカー　：キンセキ
・周波数　　：次の何れかを選択
　・14.7456MHz（標準）
　CPU 最高動作速度 29.4912MHz（データシート MAX 値よりオーバー）
　SCI ボーレートクロック最大 921,600bps（誤差無）

　・14.31818MHz
　CPU 最高動作速度 28.63636MHz（データシート MAX にほぼ一致）
　SCI ボーレートクロック誤差あり

　・22.1184MHz
　CPU 最高動作速度 22.1184MHz（データシート MAX 値より小）
　SCI ボーレートクロック最大 230,400bps（誤差無）

ボーレート設定例

CLK / bps	29.4912MHZ			28.63636MHZ			22.1184MHZ		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
300	2	191	0.00	2	185	0.23	2	143	0.00
600	2	95	0.00	2	92	0.23	2	71	0.00
1200	1	191	0.00	1	185	0.24	1	143	0.00
2400	1	95	0.00	1	92	0.23	1	71	0.00
4800	0	191	0.00	0	185	0.23	0	143	0.00
9600	0	95	0.00	0	92	0.23	0	71	0.00
19200	0	47	0.00	0	45	1.32	0	35	0.00
38400	0	23	0.00	0	22	1.32	0	17	0.00
57600	0	15	0.00	－	－	－	0	11	0.00
115200	0	7	0.00	－	－	－	0	5	0.00
230400	0	3	0.00	－	－	－	0	2	0.00
460800	0	1	0.00	－	－	－	－	－	－
921600	0	0	0.00	－	－	－	－	－	－

6．アドレスマップ

本項では、LF-54 上デバイスのアドレス割付け及び、SH2 各端子の割付けについて説明します。

6－1）メモリマップ

LF-54 は、LF-54 上に実装されている S1 の Bit1 により、CPU(SH2)の動作モードをモード０またはモード２に設定することが可能です。
モード０は、CPU 内臓 ROM 無効モードであるため、CPU は最初に CPU の CS0 空間に割振られたデバイスのプログラムを実行します。
LF-54 では、CS0 空間に EPROM／FLASH MEMORY を実装してあり、どちらのデバイスからもブートを可能とするため、LF-54 上に実装されている S2 の Bit2 により EPROM／FLASH MEMORY のアドレスマップを変更することができます。
図６－１～図６－４に S1 の Bit1 及び S2 の Bit2 の各設定時のメモリマップを示します。
尚　各領域（CS0～CS3）に対する BUS 幅、及び、アクセスタイミングは LF-54 起動時にソフトウェアにて行う必要があります。

図６－１　ＣＰＵ動作モード２（１）

アドレス	デバイス	容 量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit2)
H'00000000 H'0003FFFF	CPU内臓 FLASH ROM	256KB	CPU内臓 FLASH ROM	32bit	OFF	OFF
H'00040000 H'001FFFFF	予約空間	－	－	－		
H'00200000 H'0027FFFF	EPROM (HN27C4096)	512KB	CS0	16bit		
H'00300000 H'003FFFFF	FLASH MEMORY (AM29F040×2)	1MB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

図６－２　ＣＰＵ動作モード２（２）

アドレス	デバイス	容　量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit2)
H'00000000 H'0003FFFF	CPU内臓 FLASH ROM	256KB	CPU内臓 FLASH ROM	32bit	OFF	ON
H'00040000 H'001FFFFF	予約空間	－	－	－		
H'00200000 H'002FFFFF	FLASH MEMORY (AM29F040×2)	1MB	CS0	16bit		
H'00300000 H'0037FFFF	EPROM (HN27C4096)	512KB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

図６－３　ＣＰＵ動作モード０（１）

アドレス	デバイス	容 量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit2)
H'00000000 H'0007FFFF	EPROM (HN27C4096)	512KB	CS0	16bit	ON	OFF
H'00100000 H'001FFFFF	FLASH MEMORY (AM29F040×2)	1MB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

図６－４　ＣＰＵ動作モード０（２）

アドレス	デバイス	容 量	空間種類	BUS幅	関連SWの状態	
					S1(bit1)	S2(bit2)
H'00000000 H'000FFFFF	FLASH MEMORY (AM29F040×2)	1MB	CS0	16bit	ON	ON
H'00100000 H'0017FFFF	EPROM (HN27C4096)	512KB				
H'00400000 H'004FFFFF	SRAM (HM628511×2)	1MB	CS1	16bit		
H'00800000 H'0080FFFF	PC/104 BUS 8bit I/O	64KB	CS2	8bit		
H'00810000 H'0081000F	RTC (RTC-7301)	16B				
H'00818000 H'00818001	USB (USBN9604)	2B				
H'00900000 H'009FFFFF	PC/104 BUS 8bit MEMORY	1MB				
H'00C00000 H'00C0FFFF	PC/104 BUS 16bit I/O	64KB	CS3	16bit		
H'00D00000 H'00FFFFFF	PC/104 BUS 16bit MEMORY	3MB				
H'01000000 H'FFFF7FFF	無効	－	－	－		
H'FFFF8000 H'FFFF87FF	CPU内蔵I/O	2KB	CPU内蔵 I/O	8/16bit		
H'FFFF8800 H'FFFFEFFF	無効	－	－	－		
H'FFFFF000 H'FFFFFFFF	CPU内蔵RAM	4KB	CPU内蔵 RAM	32bit		

6－2）ＣＰＵ内部Ｉ／Ｏマップ

CPU の各端子は、CPU 内部の設定レジスタにより起動時に表６－１の状態に設定する必要があります。（設定に誤りがあると LF-54 が動作しない場合があります）

表6－1　CPU 内部 I/O 割付

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O,BSC	PA23/!WRHH	I	RS232C !CI0(CN3(9)に接続)
	PA22/!WRHL	I	RS232C !DSR0(CN3(6)に接続)
	PA21/!CASHH	I	RS232C !CTS0 (CN3(8)に接続)
	PA20/!CASHL	I	RS232C !DCD0 (CN3(1)に接続)
	PA19/!BACK/DRACK1	I	SP3243 DSR0 信号*1
	PA18/!BREQ/DRACK0	I	SP3243 !STATUS 信号*1
	PA17/!WAIT	I	PC/104BUS IOCHRDY に接続
	PA16/!AH	I/O	汎用入出力(CN10(1)に接続)
I/O,BSC,MTU,SCI	PA15/φ	0	CPU ｸﾛｯｸ出力 (PC/104BUS SYSCLK に接続)
	PA14/!RD	0	!RD に設定
	PA13/!WRH,	0	!WRH に設定
	PA12/!WRL	0	!WRL に設定
	PA11/!CS1	0	!CS1 に設定
	PA10/!CS0	0	!CS0 に設定
	PA9/TCLKD/!IRQ3	I/O	汎用入出力(CN10(29)に接続)
	PA8/TCLKC/!IRQ2	I/O	汎用入出力(CN10(29)に接続)
	PA7/TCCLKB/!CS3	I	VCC に接続
	PA6/TCCLKB/!CS3	I	RTC FOUT(3)に接続
	PA5/SCK1/!DREQ1/!IRQ1	I	RS232C !CTS1 (CN5(4)に接続)
	PA4/TXD1	0	RS232C TxD1(CN5(1)に接続)
	PA3/RXD1	I	RS232C RxD1(CN5(3)に接続)
	PA2/SCK0/!DREQ0/!IRQ0	0	RS232C RTS1(CN5(2)に接続)
	PA1/TXD0	0	RS232C TxD0(CN3(3)に接続)
	PA0/RXD0	I	RS232C RxD0(CN3(2)に接続)
I/O	PB9/A21/!IRQ7/!ADTRG	0	A21 に設定(PC/104BUS LA21 に接続)
	PB8/A20/!IRQ6/!WAIT	0	A20 に設定(PC/104BUS LA20 に接続)
	PB7/A19/!IRQ5/!BREQ	0	A19 に設定(PC/104BUS LA19/SA19 に接続)
	PB6/A18/!IRQ4/!BACK	0	A18 に設定(PC/104BUS LA18/SA18 に接続)
	PB5/!IRQ3/!POE3/RD_!WR	0	SP3243 ONLINE 信号*1
	PB4/!IRQ2/!POE2/!CASH	0	SP3243 SHTDOWN 信号*1
	PB3/!IRQ1/!POE1/!CASL	0	RS232C DTR0(CN5(4)に接続)
	PB2/!IRQ0/!POE0/!RAS	0	RS232C RTS0(CN5(7)に接続)
	PB1/A17	0	A17 に設定(PC/104BUS LA17/SA17 に接続)
	,PB0/A16	0	A16 に設定(PC/104BUS SA16 に接続)
－	PC15/A15～PC0/A0	0	A15～A0 に設定(PC/104BUS SA15～SA0 に接続)

（続く）

(続き)

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O,BSC,DMAC,INTC,ADC	PD31/D31/ADTRG	I/O	CPU 内臓 ADC 用ﾄﾘｶﾞ信号または汎用入出力(SOK1(10)に接続)
	PD30	O	LED 制御出力(0:点灯 1:消灯)
	PD29/D29/!CS3	O	!CS3 に設定
	PD28/D28/!CS2	O	!CS2 に設定
	PD27/D27/!DACK1	O	!DACK1 に設定(PC/104BUS !DACK2 に接続)
	PD26/D26/!DACK0	O	!DACK0 に設定(PC/104BUS !DACK1 に接続)
	PD25/D25/!DREQ1	I	!DREQ1 に設定(PC/104BUS DREQ2 に接続)
	PD24/D24/!DREQ0	I	!DREQ0 に設定(PC/104BUS DREQ1 に接続)
	PD23/D23/!IRQ7	I	!IRQ7 に設定(PC/104BUS IRQ7 に接続)
	PD22/D22/!IRQ6	I	!IRQ6 に設定(PC/104BUS IRQ6 に接続)
	PD21/D21/!IRQ5	I	!IRQ5 に設定(PC/104BUS IRQ5 に接続)
	PD20/D20/!IRQ4	I	!IRQ4 に設定(PC/104BUS IRQ4 に接続)
	PD19/D19/!IRQ3	I	!IRQ3 に設定(PC/104BUS IRQ3 に接続)
	PD18/D18/!IRQ2	I	!IRQ2 に設定(PC/104BUS IRQ9 に接続)
	PD17/D17/!IRQ1	I	!IRQ1 に設定(USBN9604(!INTR)に接続)
	PD16/D16/!IRQ0	I	!IRQ0 に設定(RTC-7301(!IRQ)に接続)
―	PD15/D15～PD0/D0	O	D15～D0 に設定(PC/104BUS SD15～SD0 に接続)
I/O,MTU	PE15/TIOC4D/!DACK1/!IRQOUT	I/O	汎用入出力または MTU 入出力(CN7(8)に接続)
	PE14/TIOC4C/!DACK0/!AH	I/O	汎用入出力または MTU 入出力(CN7(6)に接続)
	PE13/TIOC4B/!MRES	I/O	汎用入出力または MTU 入出力(CN7(4)に接続)
	PE12/TIOC4A	I/O	汎用入出力または MTU 入出力(CN7(2)に接続)
	PE11/TIOC3D	I/O	汎用入出力または MTU 入出力(CN7(25)に接続)
	PE10/TIOC3C	I/O	汎用入出力または MTU 入出力(CN7(23)に接続)
	PE9/TIOC3B	I/O	汎用入出力または MTU 入出力(CN7(21)に接続)
	PE8/TIOC3A	I/O	汎用入出力または MTU 入出力(CN7(19)に接続)
	PE7/TIOC2B	I/O	汎用入出力または MTU 入出力(CN7(17)に接続)
	PE6/TIOC2A	I/O	汎用入出力または MTU 入出力(CN7(15)に接続)
	PE5/TIOC1B	I/O	汎用入出力または MTU 入出力(CN7(13)に接続)
	PE4/TIOC1A	I/O	汎用入出力または MTU 入出力(CN7(11)に接続)
	PE3/TIOC0D/DRAC1	I/O	汎用入出力または MTU 入出力(CN7(9)に接続)
	PE2/TIOC0C/!DRQ1	I/O	汎用入出力または MTU 入出力(CN7(7)に接続)
	PE1/TIOC0B/DRAC0	I/O	汎用入出力または MTU 入出力(CN7(5)に接続)
	PE0/TIOC0A/!DRQ0	I/O	汎用入出力または MTU 入出力(CN7(3)に接続)
ADC,I/O	AN0/PF0	I	ADC CH0 ﾃﾞｰﾀ/DSW(1)*2
	AN1/PF1	I	ADC CH1 ﾃﾞｰﾀ/DSW(2) *2
	AN2/PF2	I	ADC CH2 ﾃﾞｰﾀ/DSW(3) *2
	AN3/PF3	I	ADC CH3 ﾃﾞｰﾀ/DSW(4) *2
	AN4/PF4	I	ADC CH4 ﾃﾞｰﾀ/DSW(5) *2
	AN5/PF5	I	ADC CH5 ﾃﾞｰﾀ/DSW(6) *2
	AN6/PF6	I	ADC CH6 ﾃﾞｰﾀ/DSW(7) *2
	AN7/PF7	I	ADC CH7 ﾃﾞｰﾀ/RTC 温度値/DSW(8) *2

＊　各ポートの機能設定・ディレクション設定方法に関しては、CPU のデータシートをご参照下さい。

＊　コントローラ名称は、日立製作所社発行の SH7040 シリーズハードウェアマニュアルに記載されている名称です。

*1　各信号の使用方法は、Sipex 社 SP3223EH/3243 データシートをご参照下さい。

*2　DSW は 8bit のディップスイッチで、CPU 内臓 ADC 未使用時に実装可能です。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

６－３）外部割込み接続

CPU の各割込み端子と外部デバイスとの接続関係を、表６－２に示します。

表6－2　外部割込み割付

割込み要因	接続端子名	接　続　先
!IRQ7	PD23/D23/!IRQ7	PC/104 BUS の IRQ7*1
!IRQ6	PD22/D22/!IRQ6	PC/104 BUS の IRQ6*1
!IRQ5	PD21/D21/!IRQ5	PC/104 BUS の IRQ5*1
!IRQ4	PD20/D20/!IRQ4	PC/104 BUS の IRQ4*1
!IRQ3	PD19/D19/!IRQ3	PC/104 BUS の IRQ3*1
!IRQ2	PD18/D18/!IRQ2	PC/104 BUS の IRQ9*1
!IRQ1	PD17/D17/!IRQ1	USB ｲﾝﾀｰﾌｪｰｽﾄﾞﾗｲﾊﾞ(USBN9604-28M)の割込み端子
!IRQ0	PD16/D16/!IRQ0	RTC(RTC-7301SF)の割込み端子
NMI	NMI	PC/104 BUS の!IOCHCK

*1　入力信号レベルは、反転されて CPU に入力されます。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

６－４）外部DMA接続

CPU 内臓の DMA 制御端子は、PC/104 BUS の DMA 制御端子と接続されています。
接続関係を表６－３に示します。

表6－3　外部DMA割付

DMAチャネル番号	接続端子名	接　続　先
0	PD24/D24/!DREQ0	PC/104 BUS の DREQ1*1
	PD26/D26/!DACK0	PC/104 BUS の!DACK1
1	PD25/D25/!DREQ1	PC/104 BUS の DREQ2*1
	PD27/D27/!DACK1	PC/104 BUS の!DACK2

*1　入力信号レベルは、反転されて CPU に入力されます。

＊　表中負論理の信号は信号名の先頭に！がつけられています。

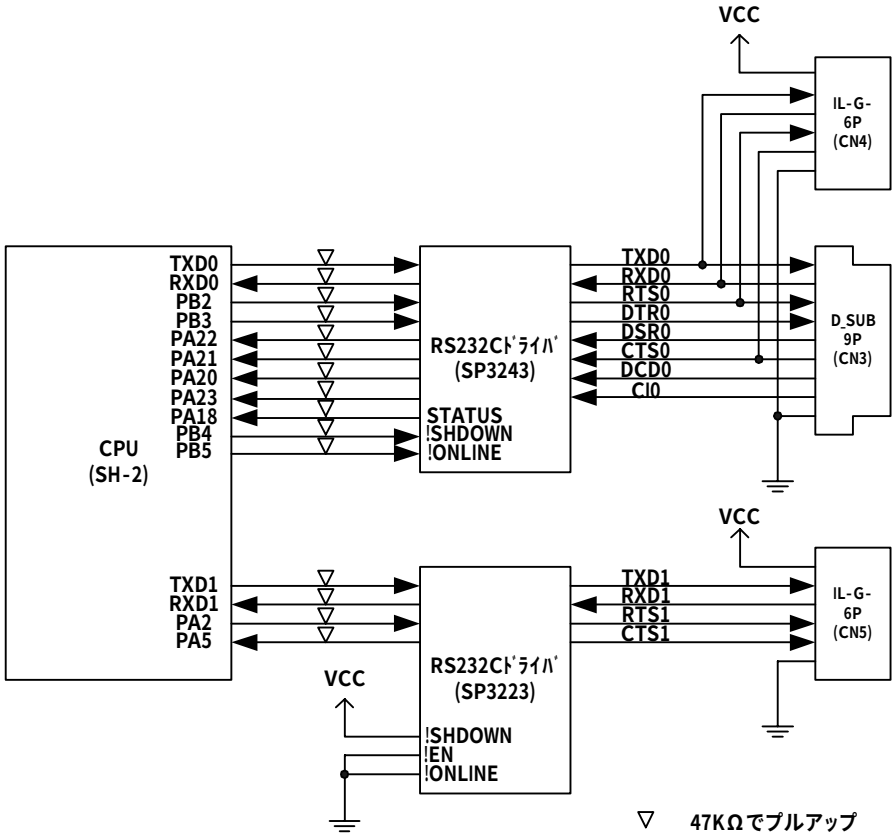
7．接続仕様

本項では、LF-54 内主要部のデバイス＜－＞デバイス間およびデバイス＜－＞コネクタ間の電気的接続仕様につき説明します。

7－1）シリアル通信インターフェース

LF-54 上には、シリアル通信インターフェースとして、LF-54 上 CPU の内臓シリアルインターフェース２チャンネル（SCI0,SCI1）及び内臓 I/O ポートより、RS232C ドライバを介し外部と接続することが可能です。図７－１にシリアル通信インターフェース部の接続仕様を示します。

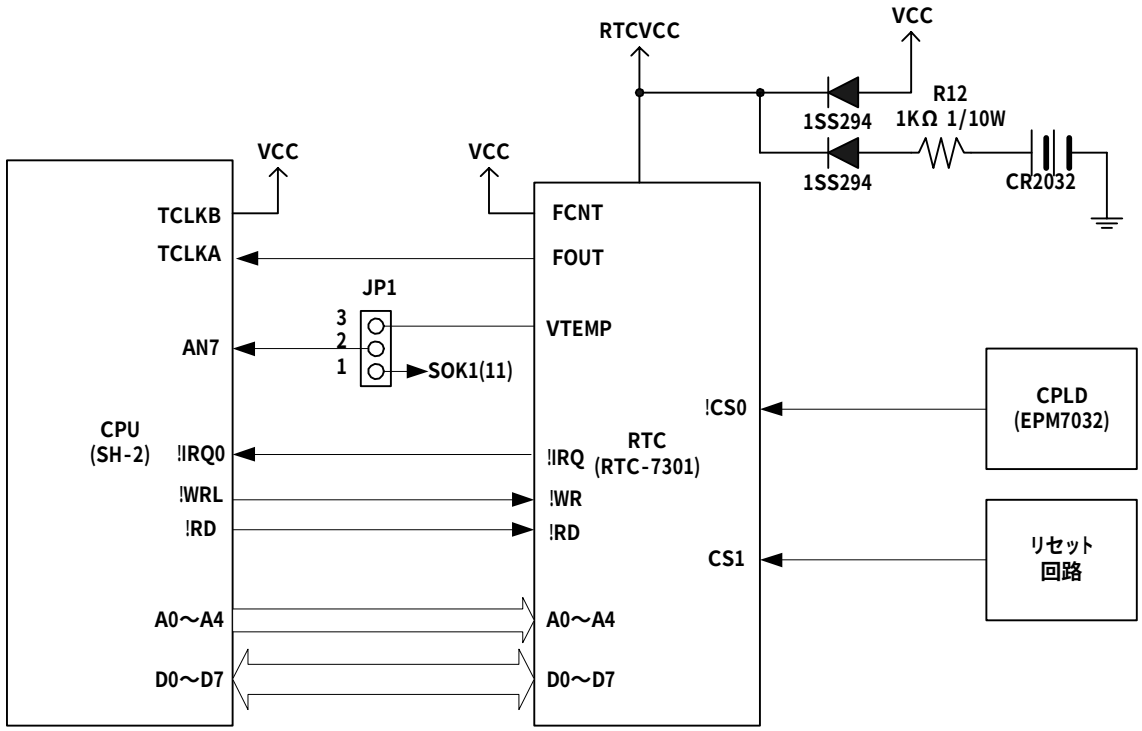
図７－１　シリアル通信インターフェース部接続仕様



7－2）ＲＴＣインターフェース

LF-54 上の RTC は、時計機能の他クロック出力機能、温度を電圧として出力する機能を有しています。
LF-54 では、RTC の他クロック出力及び温度電圧出力を CPU に接続することにより、その機能を活用することができます。
図7－2にＲＴＣインターフェース部の接続図を示します。

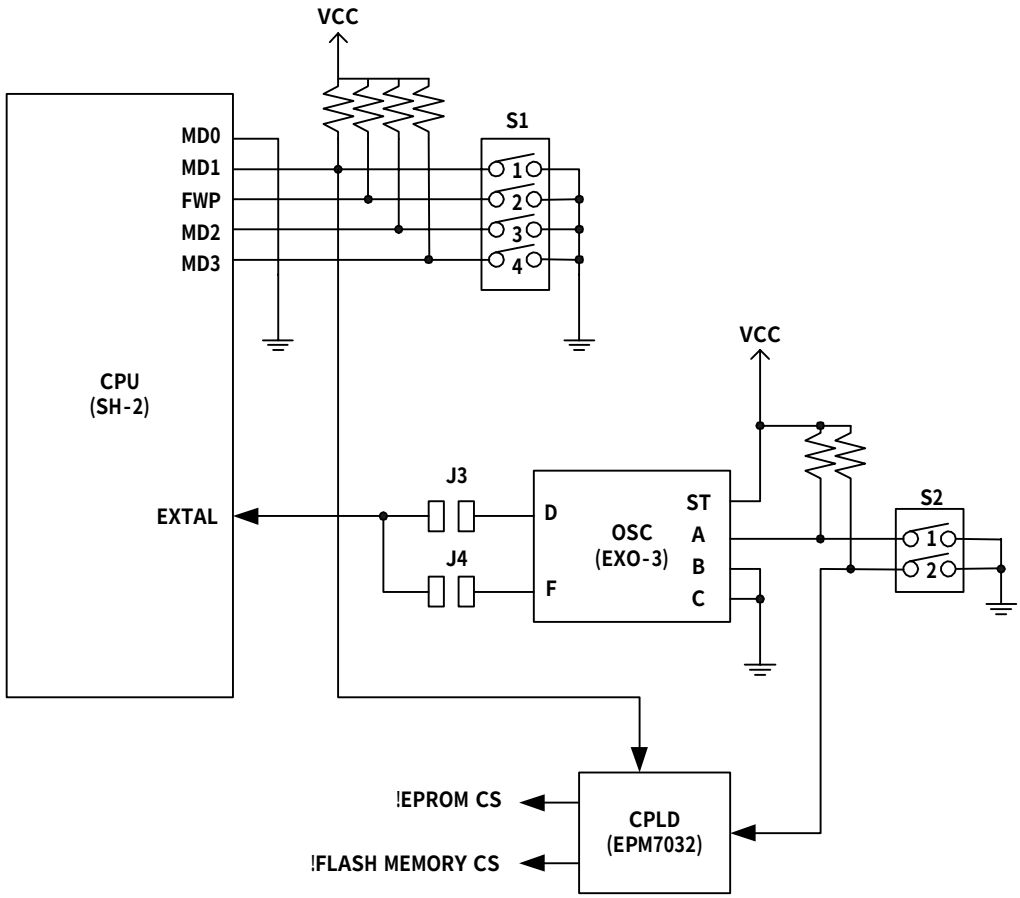
図7－2　ＲＴＣインターフェース部接続仕様



7－3）ＣＰＵモード設定・クロック入力部

LF-54 上 CPU のモード端子及びクロックは、図７－３に示す接続となっており、CPU の動作モード及び入力クロックの逓倍率を可変することが可能な他、CPU クロック供給源に出力周波数可変が可能なデバイスを採用することにより、幅広い周波数で CPU を動作させることができます。

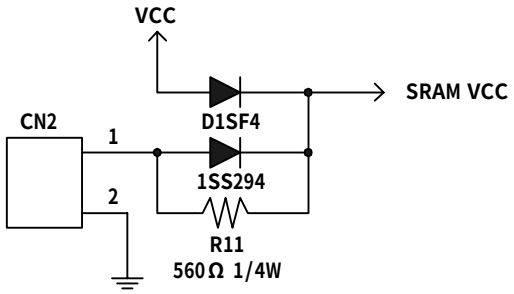
図7－3　ＣＰＵモード設定・クロック入力部接続仕様



７－４）外部バッテリー入力部

SRAM のバックアップを可能とするため、LF-54 上には外部バッテリーの入力コネクタが実装されています。
図７－４にバッテリー入力部の接続図を示します。

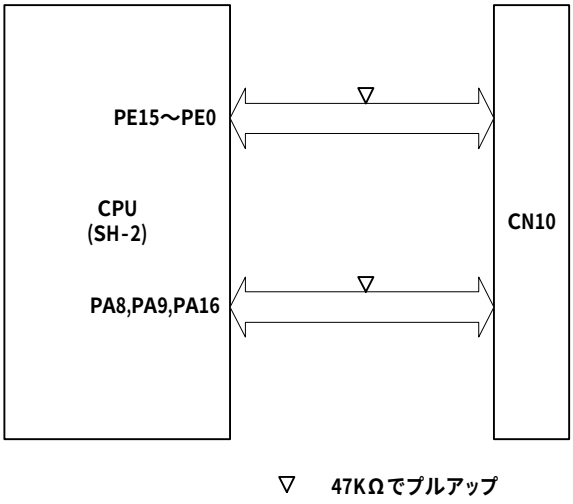
図７－４　バッテリー入力部接続仕様



７－５）Ｉ／O接続コネクタ部

LF-54 上 CN10 には、CPU 内臓 I/O が接続されたコネクタが実装されています。
図７－５に CN10<->CPU 間の接続図を示します。

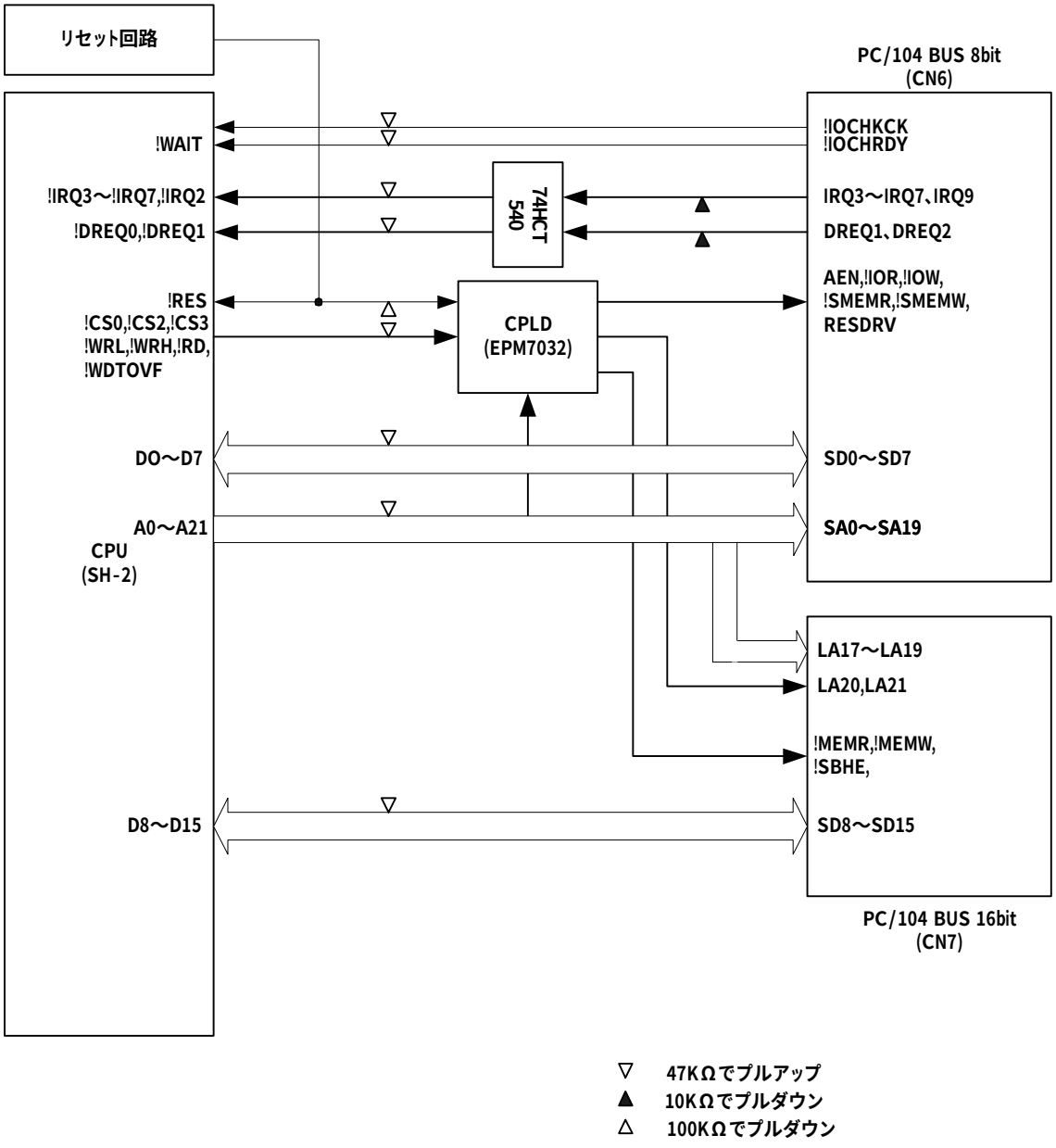
図７－５　ＣＮ１０<－>ＣＰＵ間接続仕様



7－6）PC／１０４　BUSインターフェース

PC/104 BUS インターフェース部は、図7－6の接続となっております。

図7－6　PC／１０４　BUSインターフェース部接続仕様



▽　47KΩでプルアップ
▲　10KΩでプルダウン
△　100KΩでプルダウン

8．コネクタ

本項では、LF-54 に実装されている各コネクタについて説明します。
各コネクタの表中、負論理の信号は信号名の先頭に！がつけられています。
また、入出力方向はLF-54 より見た方向です。

8－1）ＵＳＢ接続コネクタ（ＣＮ１）

本コネクタは、USB マスターインターフェース搭載装置と接続します。
表８－１に USB 接続コネクタの機能／ピンアサインを示します。

表８－１　ＵＳＢ接続コネクタ
使用コネクタ：DUSB-BRA42-T11（ＤＤＫ）または同等品

端子番号	信　号　名	入出力	信号レベル	機　　能
1	NC	－	－	未接続
2	D-	入出力	－	-DATA
3	D+	入出力	－	+DATA
4	GND	－	－	シグナルグランド

8－2）外部バッテリー接続コネクタ（ＣＮ２）

本コネクタは、LF-54 上 SRAM をバッテリーでバックアップを行なう場合に、外部バッテリーと接続します。
接続するバッテリーは、3V 以上の電圧を出力可能な１次電池または Ni-Cd 電池を接続して下さい。
尚　１次電池を接続する場合は R11 を必ず外して下さい。
また、Ni-Cd 電池を接続し、トリクル充電を行なう場合は電池の仕様に合った抵抗を実装して下さい。
表８－２に外部バッテリー接続コネクタの機能／ピンアサインを示します。

表８－２　電源接続コネクタ
使用コネクタ：IL-G-2P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VBATT	入出力	DC+3V～5V	バッテリー電源
2	GND	－	－	シグナルグランド

8－3）ＲＳ２３２C接続コネクタ１（CN3）

本コネクタは、RS232C インターフェース搭載装置と接続します。
尚　本コネクタは、CN4 を実装する場合には実装できません。
表８－３にＲＳ２３２C接続コネクタ１の機能／ピンアサインを示します。

表８－３　ＲＳ２３２C接続コネクタ１
使用コネクタ：RDED-9P-LNA（ヒロセ）または同等品

端子番号	信　号　名	入出力	信号レベル	機　　能
1	!DCD0	入力	EIA/TIA-232E	データキャリアディテクト信号
2	RxD0	入力	EIA/TIA-232E	シリアル受信データ
3	TxD0	出力	EIA/TIA-232E	シリアル送信データ
4	!DTR0	出力	EIA/TIA-232E	データターミナルレディ信号
5	GND	－	－	シグナルグランド
6	!DSR0	入力	EIA/TIA-232E	データセットレディ信号
7	!RTS0	出力	EIA/TIA-232E	リクエストトゥセンド信号
8	!CTS0	入力	EIA/TIA-232E	クリアトゥセンド信号
9	!RI0	入力	EIA/TIA-232E	リングインディケーション信号

8－4）ＲＳ２３２C接続コネクタ２（CN4）

本コネクタは、RS232C インターフェース搭載装置と接続します。
尚　本コネクタは、CN3 を実装する場合には実装できません。
表８－４にＲＳ２３２C接続コネクタ２の機能／ピンアサインを示します。

表８－４　ＲＳ２３２C接続コネクタ２
使用コネクタ：IL-G-6P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TxD0	出力	EIA/TIA-232E	シリアル送信データ
2	!RTS0	出力	EIA/TIA-232E	リクエストトゥセンド信号
3	RxD0	入力	EIA/TIA-232E	シリアル受信データ
4	!CTS0	入力	EIA/TIA-232E	クリアトゥセンド信号
5	GND	－	－	シグナルグランド
6	VCC	出力	DC+5V	DC+5V 電源

8－5）ＲＳ２３２C接続コネクタ３（CN5）

本コネクタは、RS232C インターフェース搭載装置と接続します。
尚　本コネクタは、CPU 内臓フラッシュメモリへのプログラム書込み用にも使用します。
表８－５にＲＳ２３２C接続コネクタ３の機能／ピンアサインを示します。

表８－５　ＲＳ２３２C接続コネクタ３
使用コネクタ：IL-G-6P-S3T2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TxD1	出力	EIA/TIA-232E	シリアル送信データ
2	!RTS1	出力	EIA/TIA-232E	リクエストトゥセンド信号
3	RxD1	入力	EIA/TIA-232E	シリアル受信データ
4	!CTS1	入力	EIA/TIA-232E	クリアトゥセンド信号
5	GND	－	－	シグナルグランド
6	VCC	出力	DC+5V	DC+5V 電源

8－6）PC／１０４　BUS接続コネクタ１（CN6）

本コネクタは、PC/104 BUS 用スレーブ基板(8bit または 16bitBUS 品)をスタッキングするためのコネクタです。

表８－６に PC/104 BUS 接続コネクタ１の機能／ピンアサインを示します。

表8－6　ＰＣ／１０４　ＢＵＳ接続コネクタ１

使用コネクタ：LFCN64S-T7D

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
A1	!IOCHCK	入力	ﾉﾝﾏｽｶﾌﾞﾙ割込信号	B1	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A2	SD7	入出力	ﾃﾞｰﾀ 7	B2	RESDRV	出力	ﾘｾｯﾄ*1
A3	SD6	入出力	ﾃﾞｰﾀ 6	B3	VCC	―	DC+5V
A4	SD5	入出力	ﾃﾞｰﾀ 5	B4	IRQ9	入力	割込信号 2
A5	SD4	入出力	ﾃﾞｰﾀ 4	B5	-5V	―	未接続
A6	SD3	入出力	ﾃﾞｰﾀ 3	B6	DREQ2	入力	DMA ﾘｸｴｽﾄ 2
A7	SD2	入出力	ﾃﾞｰﾀ 2	B7	-12V	―	未接続
A8	SD1	入出力	ﾃﾞｰﾀ 1	B8	!ENDXFR	―	未接続
A9	SD0	入出力	ﾃﾞｰﾀ 0	B9	+12V	―	未接続
A10	!IOCHRDY	入力	CPU ｳｪｲﾄﾘｸｴｽﾄ	B10	(KEY)	―	―
A11	AEN	出力	ｱﾄﾞﾚｽｲﾈｰﾌﾞﾙ	B11	!SMEMW	出力	ﾒﾓﾘﾗｲﾄ(8bit)
A12	SA19	出力	ｱﾄﾞﾚｽ 19	B12	!SMEMR	出力	ﾒﾓﾘﾘｰﾄﾞ(8bit)
A13	SA18	出力	ｱﾄﾞﾚｽ 18	B13	!IOWR	出力	I/O ﾗｲﾄ
A14	SA17	出力	ｱﾄﾞﾚｽ 17	B14	!IORD	出力	I/O ﾘｰﾄﾞ
A15	SA16	出力	ｱﾄﾞﾚｽ 16	B15	!DACK3	出力	(PULL UP)
A16	SA15	出力	ｱﾄﾞﾚｽ 15	B16	DREQ3	―	未接続
A17	SA14	出力	ｱﾄﾞﾚｽ 14	B17	!DACK1	出力	DMA ｱｸﾉﾘｯｼﾞ 1
A18	SA13	出力	ｱﾄﾞﾚｽ 13	B18	DREQ1	入力	DMA ﾘｸｴｽﾄ 1
A19	SA12	出力	ｱﾄﾞﾚｽ 12	B19	!REFSH	出力	(PULL UP)
A20	SA11	出力	ｱﾄﾞﾚｽ 11	B20	SYSCLK	出力	ｼｽﾃﾑｸﾛｯｸ
A21	SA10	出力	ｱﾄﾞﾚｽ 10	B21	IRQ7	入力	割込信号 7
A22	SA9	出力	ｱﾄﾞﾚｽ 9	B22	IRQ6	入力	割込信号 6
A23	SA8	出力	ｱﾄﾞﾚｽ 8	B23	IRQ5	入力	割込信号 5
A24	SA7	出力	ｱﾄﾞﾚｽ 7	B24	IRQ4	入力	割込信号 4
A25	SA6	出力	ｱﾄﾞﾚｽ 6	B25	IRQ3	入力	割込信号 3
A26	SA5	出力	ｱﾄﾞﾚｽ 5	B26	!DACK2	出力	DMA ｱｸﾉﾘｯｼﾞ 2
A27	SA4	出力	ｱﾄﾞﾚｽ 4	B27	TC	出力	(PULL UP)
A28	SA3	出力	ｱﾄﾞﾚｽ 3	B28	BALE	出力	(PULL UP)
A29	SA2	出力	ｱﾄﾞﾚｽ 2	B29	VCC	―	DC+5V
A30	SA1	出力	ｱﾄﾞﾚｽ 1	B30	OSC	―	未接続
A31	SA0	出力	ｱﾄﾞﾚｽ 0	B31	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A32	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	B32	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

・本コネクタの信号レベルはＴＴＬです。

・機能欄の(PULL UP)は、当該端子が DC+5V でプルアップされていることを示します。

*1　約 95ms の間 Hi レベルを出力します。

8－7）PC／１０４　BUS接続コネクタ２（CN7）

本コネクタは、PC/104BUS 用スレーブ基板(16bitBUS 品)をスタッキングするためのコネクタです。

表８－７に PC/104 BUS 接続コネクタ２の機能／ピンアサインを示します。

表８－７　ＰＣ／１０４　ＢＵＳ接続コネクタ２

使用コネクタ：LFCN40S-T7D

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
C0	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	D0	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
C1	!SBHE	出力	ｼｽﾃﾑﾊﾞｽ Hi Byte ｲﾈｰﾌﾞﾙ	D1	!MEMCS16	－	未接続
C2	LA23	出力	GND に接続	D2	!IOCS16	－	未接続
C3	LA22	出力	GND に接続	D3	IRQ10	－	未接続
C4	LA21	出力	ｱﾄﾞﾚｽ 21	D4	IRQ11	－	未接続
C5	LA20	出力	ｱﾄﾞﾚｽ 20	D5	IRQ12	－	未接続
C6	LA19	入出力	ｱﾄﾞﾚｽ 19	D6	IRQ13	－	未接続
C7	LA18	入出力	ｱﾄﾞﾚｽ 18	D7	IRQ14	－	未接続
C8	LA17	入出力	ｱﾄﾞﾚｽ 17	D8	!DACK0	出力	(PULL UP)
C9	!MEMR	出力	ﾒﾓﾘﾘｰﾄﾞ(16bit)	D9	DREQ0	－	未接続
C10	!MEMW	出力	ﾒﾓﾘﾗｲﾄ(16bit)	D10	!DACK5	出力	(PULL UP)
C11	SD8	入出力	ﾃﾞｰﾀ 8	D11	DREQ5	－	未接続
C12	SD9	入出力	ﾃﾞｰﾀ 9	D12	!DACK6	出力	(PULL UP)
C13	SD10	入出力	ﾃﾞｰﾀ 10	D13	DREQ6	－	未接続
C14	SD11	入出力	ﾃﾞｰﾀ 11	D14	!DACK7	出力	(PULL UP)
C15	SD12	入出力	ﾃﾞｰﾀ 12	D15	DREQ7	－	未接続
C16	SD13	入出力	ﾃﾞｰﾀ 13	D16	VCC	入力	DC+5V
C17	SD14	入出力	ﾃﾞｰﾀ 14	D17	!MASTER	出力	(PULL UP)
C18	SD15	入出力	ﾃﾞｰﾀ 15	D18	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
C19	(KEY)	－	－	D19	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

・本コネクタの信号レベルはＴＴＬです。

・機能欄の(PULL UP)は、当該端子が DC+5V でプルアップされていることを示し、(GND)は当該端子が GND に接続されていることを示します。

8－8）ＣＰＬＤ用ＪＴＡＧ接続コネクタ（ＣＮ８）

本コネクタは、LF-54 上 CPLD の JTAG 端子に接続されており、CPLD 専用デバッグ・プログラム書込みケーブルと接続します。（本コネクタは実装されておりません）

表８－８に CPLD 用 JTAG 接続コネクタの機能／ピンアサインを示します。

表８－８　ＣＰＬＤ用ＪＴＡＧ接続コネクタ

端子番号	信　号　名	入出力	信号レベル	機　　能
1	TCK	入力	TTL	データ同期信号
2	GND	－	－	シグナルグランド
3	TDO	出力	TTL	シリアルデータ出力信号
4	VCC	出力	DC+5V	電源
5	TMS	入力	TTL	テストモード選択信号
6	NC	－	－	未接続
7	NC	－	－	未接続
8	NC	－	－	未接続
9	TDI	入力	TTL	シリアルデータ入力信号
１０	GND	－	－	シグナルグランド

8－9）電源接続コネクタ（ＣＮ９）

本コネクタは、LF-54 に供給する電源装置と接続します。

表８－９に電源接続コネクタの機能／ピンアサインを示します。

表８－９　電源接続コネクタ

使用コネクタ（標　　準）：IL-G-2P-S3L2-SA（ＪＡＥ）

使用コネクタ（オプション）：IL-G-4P-S3L2-SA（ＪＡＥ）

端子番号	信　号　名	入出力	信号レベル	機　　能
1	VCC	入力	DC+5V±5%	回路電源
2	VCC	入力	DC+5V±5%	回路電源（標準時 1 番ピン）
3	GND	－	－	シグナルグランド（標準時 2 番ピン）
4	GND	－	－	シグナルグランド

8－１０）Ｉ／O接続コネクタ（CN１０）

本コネクタは、LF-54 上 CPU 内蔵 I/O 信号が接続されており、1～26 ピンのアサインは DOS/V 機のプリンターポートと同等のアサインとしてあるため、プリンター制御ポートとしても使用可能です。

表８－１０にＩ／O接続コネクタの機能／ピンアサインを示します。

表８－１０　Ｉ／O接続コネクタ１

使用コネクタ：XG4C-3031（オムロン）

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	PA16	入出力	TTL 入出力ﾎﾟｰﾄ	2	PE12	入出力	TTL 入出力ﾎﾟｰﾄ
3	PE0	入出力	TTL 入出力ﾎﾟｰﾄ	4	PE13	入出力	TTL 入出力ﾎﾟｰﾄ
5	PE1	入出力	TTL 入出力ﾎﾟｰﾄ	6	PE14	入出力	TTL 入出力ﾎﾟｰﾄ
7	PE2	入出力	TTL 入出力ﾎﾟｰﾄ	8	PE15	入出力	TTL 入出力ﾎﾟｰﾄ
9	PE3	入出力	TTL 入出力ﾎﾟｰﾄ	10	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
11	PE4	入出力	TTL 入出力ﾎﾟｰﾄ	12	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
13	PE5	入出力	TTL 入出力ﾎﾟｰﾄ	14	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
15	PE6	入出力	TTL 入出力ﾎﾟｰﾄ	16	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
17	PE7	入出力	TTL 入出力ﾎﾟｰﾄ	18	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
19	PE8	入出力	TTL 入出力ﾎﾟｰﾄ	20	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
21	PE9	入出力	TTL 入出力ﾎﾟｰﾄ	22	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
23	PE10	入出力	TTL 入出力ﾎﾟｰﾄ	24	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
25	PE11	入出力	TTL 入出力ﾎﾟｰﾄ	26	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
27	PA8	入出力	TTL 入出力ﾎﾟｰﾄ	28	VCC	出力	DC+5V 電源
29	PA9	入出力	TTL 入出力ﾎﾟｰﾄ	30	VCC	出力	DC+5V 電源

８－１１）アナログ／ＴＴＬ信号入力ソケット（ＳＯＫ１）

本ソケットは、300mil 18Pin の IC ソケットが実装されており、LF-54 上 CPU 内蔵アナログ I/O ポート（AN0～７）信号及びアナログサンプリングトリガ入力信号(CPU ADYRG 端子)が接続されています。

本ソケットには、用途に応じ 8bit ディップスイッチ／TTL 信号入力または外部アナログ信号（DC0V～+5V）を接続することが可能で、本ソケットの 10Pin にはアナログサンプリングトリガ入力信号が接続されているため、外部トリガ信号(TTL)によりアナログ信号をサンプリングすることも可能です。

尚　本ソケットにディップスイッチまたは TTL 入力信号を接続する場合は、SOK2 に抵抗アレー（10KΩ×8）を実装して下さい。

表８－１１に SOK1 ソケットの機能／ピンアサインを示します。

表８－１１　アナログ／ＴＴＬ信号入力ソケット

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	18	AN0/PF0	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
2	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	17	AN1/PF1	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
3	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	16	AN2/PF2	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
4	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	15	AN3/PF3	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
5	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	14	AN4/PF4	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
6	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	13	AN5/PF5	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
7	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	12	AN6/PF6	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
8	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ	11	AN7/PF7	入力	ｱﾅﾛｸﾞ/TTL 入力ﾎﾟｰﾄ
9	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	10	ADTRG	入力	ADC ｻﾝﾌﾟﾘﾝｸﾞﾄﾘｶﾞ

９．スイッチ／ジャンパの設定

LF-54 上には、S1（４ビットディップスイッチ）、S2（２ビットディップスイッチ）、JP1（3 ピンジャンパポスト）及び J1～J4（半田ショートパターン）が有り、それぞれ下記の設定を行います。

９－１）Ｓ１

S1 は、４ビットのディップスイッチで、Bit1,2 は CPU の動作モード及びプログラム書込みモードを設定し、Bit3,4 は CPU のクロックモードを設定します。（S1 は、ON が下、OFF が上となります。）

S1(Bit1,2)の設定内容を表９－１に、S1(Bit3,4)の設定内容を表９－２に示します。

表９－１　ＣＰＵ動作モード設定（Ｓ１(Bit1,2)）

機　　能	Bit 状態		設定内容
	1(MD1)	2(FWP)	
CPU 動作モード設定	OFF	OFF	内蔵 ROM 有効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 2)
	ON	OFF	内蔵 ROM 無効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 0)
	OFF	ON	ﾕｰｻﾞｰﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ
	ON	ON	ﾌﾞｰﾄﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ

・オンボードプログラムの設定

S1 を、ブートプログラムモードに設定し、電源を投入するとＣＰＵはブートプログラムモードに入り、内蔵フラッシュ ROM を消去し、SCI1 からのプログラミング待ち状態となります。

本設定を行うと、今まで内蔵フラッシュメモリに書き込まれていたプログラムは全て消去されるので、再プログラムを行う場合以外は本設定は行わないで下さい。

尚　ＣＰＵのオンボードプログラム方法に関しては本仕様書１０．ＣＰＵに対するプログラム書込の項をご参照下さい。

表９－２　ＣＰＵクロックモード設定（Ｓ１(Bit3,4)）

機　　能	Bit 状態		設定内容
	3(MD2)	4(MD3)	
CPU 動作モード設定	OFF	OFF	設定禁止
	ON	OFF	CPU 動作ｸﾛｯｸ＝入力ｸﾛｯｸ×4（出荷時設定）
	OFF	ON	CPU 動作ｸﾛｯｸ＝入力ｸﾛｯｸ×2
	ON	ON	CPU 動作ｸﾛｯｸ＝入力ｸﾛｯｸ×1

９－２）Ｓ２

S2(Bit1)は、CPU 入力クロック OSC（EXO-3（キンセキ社））の原クロック周波数に対する出力クロック周波数の倍率設定に使用し、設定は表９－３の通りとなります。
また、S2(Bit2)は S1(Bit1)とともに CPU の CS0 領域内アドレスロケーション設定に使用し、S1(Bit1) 、S2(Bit2)の組合せによる設定は、表９－４の通りとなります。

表９－３　ＯＳＣクロック倍率設定（Ｓ２(Bit1)）

機　　能	Bit 状態 1	設定内容
OSC ｸﾛｯｸ倍率設定	OFF	OSC 出力周波数＝原周波数／４
	ON	OSC 出力周波数＝原周波数／２（出荷時設定）

注意　本設定は、基板上 J3 が短絡され、J4 が開放の状態時のみ有効。

表９－４　CS0 領域内メモリマップ

CPU 動作モード	アドレス	名　　称	S1 Bit1	S2 Bit2	メモリ容量	機　能
MCU Mode2	00000000～0003FFFF	CPU 内蔵 FLASH ROM	OFF	OFF	256Kbyte	ﾌﾞｰﾄ領域
	00200000～0027FFFF	EPROM			512Kbyte	読出専用領域
	00300000～003FFFFF	FLASH MEMORY			1Mbyte	不揮発ﾃﾞｰﾀ領域
	00000000～0003FFFF	CPU 内蔵 FLASH ROM	出荷時設定		256Kbyte	ﾌﾞｰﾄ領域
	00200000～002FFFFF	FLASH MEMORY	OFF	ON	1Mbyte	不揮発ﾃﾞｰﾀ領域
	00300000～0037FFFF	EPROM			512Kbyte	読出専用領域
MCU Mode0	00000000～0007FFFF	EPROM	ON	OFF	512Kbyte	ﾌﾞｰﾄ領域
	00100000～001FFFFF	FLASH MEMORY			1Mbyte	不揮発ﾃﾞｰﾀ領域
	00000000～000FFFFF	FLASH MEMORY	ON	ON	1Mbyte	ﾌﾞｰﾄ領域
	00100000～0017FFFF	EPROM			512Kbyte	読出専用領域

9－3）ＪＰ１

本ジャンパは、CPU アナログ入力端子(AN7/PF7)に入力する信号を選択します。
表９－５に JP1 の設定内容を示します。

表９－５　CPU アナログ入力端子(AN7/PF7)入力信号設定

ＪＰ１の状態	内　　容
1-2 短絡	SOK1(11)に接続（出荷時設定）
2-3 短絡	RTC 温度出力端子(TMPOUT)に接続

9－4）Ｊ１、Ｊ２

J1 及び J2 は、USB コネクタの金属シェル部の接続先を設定する半田短絡型のジャンパです。
表９－６に J1,J2 の設定内容を示します。

表９－６　ＵＳＢコネクタ金属シェル部の接続先設定

ＪＰ１の状態	内　　容
J1 短絡	基板取付穴のｽﾙｰﾎｰﾙに接続
J2 短絡	GND に接続

＊出荷時は、J1,J2 共開放です

9－5）Ｊ３、Ｊ４

LF-54 上 CPU に入力するクロック発信器(OSC1(EXO-3))には２つのクロック出力端子があり、
F 端子(1)からは、EXO-3 の原振周波数、D 端子(2)からは分周周波数が出力されます。
J3 及び J4 は、CPU に入力するクロックを上記どちらから入力するのかを設定する半田短絡型のジャンパです。
表９－７にＪＰ３の設定内容を示します。

表９－７　OSC1 クロック出力原設定

ＪＰ１の状態	内　　容
J3 短絡	CPU 入力クロック＝分周周波数出力 （出荷時設定）
J4 開放	
J4 短絡	CPU 入力クロック＝原振周波数出力
J3 開放	

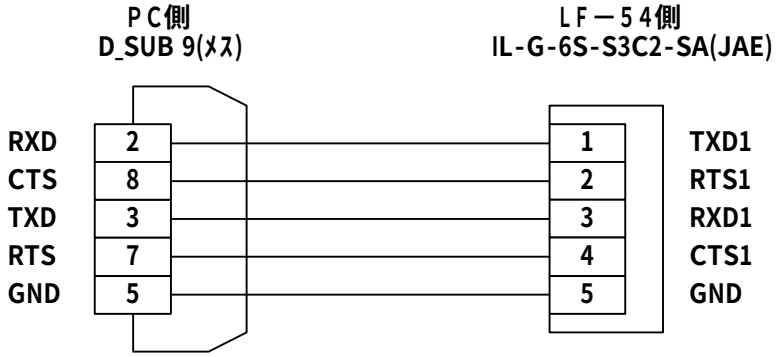
注意１　J3,J4 は必ずどちらかを短絡して下さい。
注意２　J3,J4 は両方短絡しないで下さい。

１０．ＣＰＵに対するプログラム書込

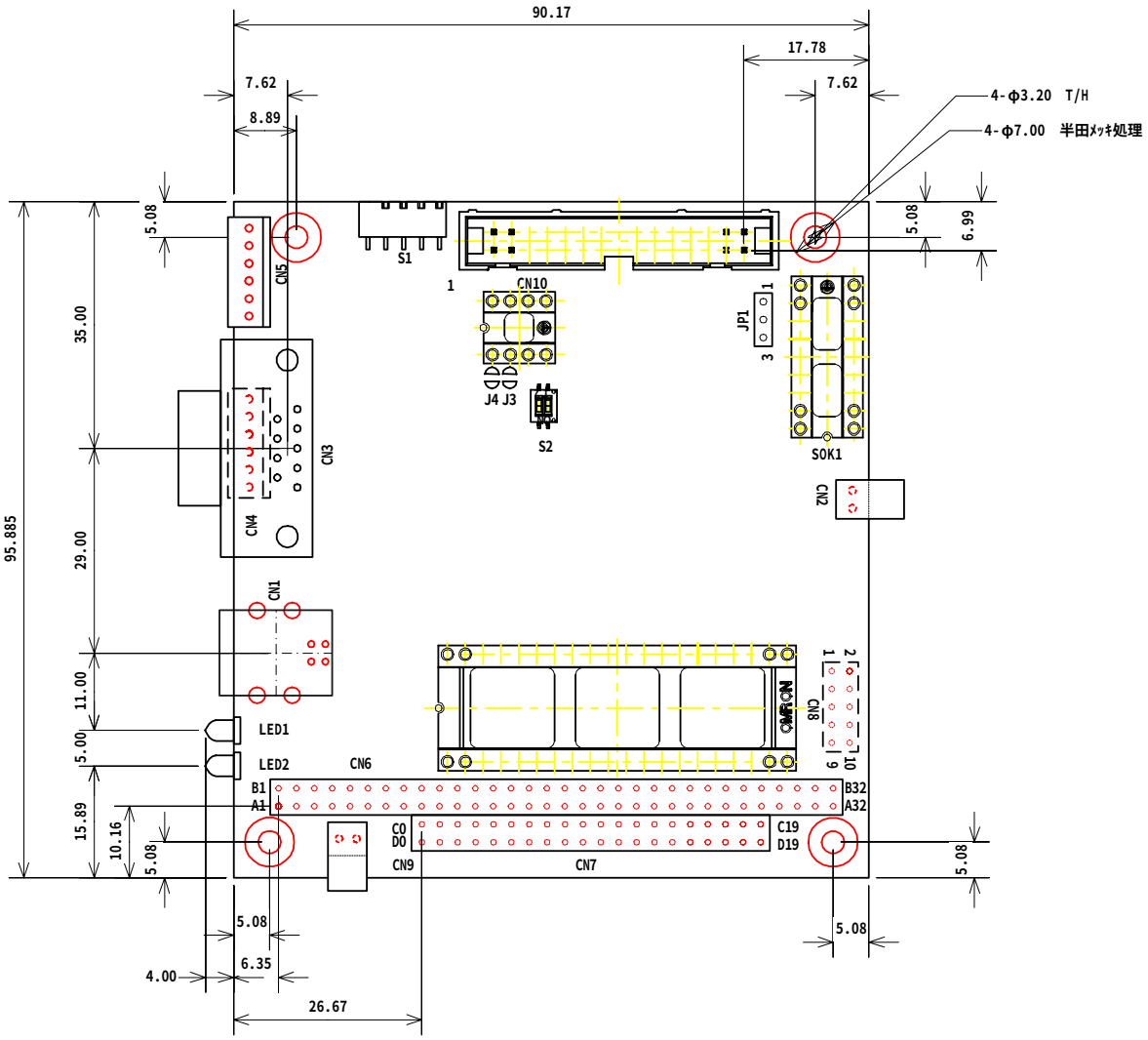
LF-54 上の CPU は、以下の方法によりオンボードでのプログラム書換が可能です。

① 本装置の電源が OFF 状態で、LF-54 上 S1 をブートプログラムモードに設定し、お手持ちの CPU 書込みソフトウェアがインストールされている PC の RS232C ポートと LF-54 の CN5 を図 10-1 のケーブルで接続します。
② PC 及び LF-54 の電源を ON にします。
③ CPU 書込みソフトウェアの書込み手順に従いプログラムを書込みます。
④ プログラムのロード終了を確認後、LF-54 の電源を OFF にし、PC との接続ケーブルを外します。
⑤ LF-54 上 S1 を内蔵 ROM 有効通常動作モードに設定します。
⑥ LF-54 の電源を投入し、動作を確認します。

図１０－１　LF-54<->PC 接続ケーブル結線図



１１．基板外形


90.17
17.78
7.62
8.89
7.62
4-φ3.20 T/H
4-φ7.00 半田ﾒｯｷ処理
5.08
6.99
5.08
S1
CN5
1
CN10
JP1
1
3
J4 J3
S2
SOK1
CN2
CN3
CN4
35.00
29.00
95.885
CN1
11.00
5.00
15.89
10.16
5.08
LED1
LED2
CN6
B1
A1
B32
A32
C0
D0
C19
D19
CN9
CN7
CN8
OMRON
1
2
9
10
5.08
5.08
5.08
4.00
6.35
26.67

１２．使用時の留意点

LF-54 をご使用の際は、下記事項にご留意下さい。

１２－１）ＥＰＲＯＭ使用時の注意事項

EPROM をご使用の場合、EPROM にプログラムもしくはデータを ROM ライタで書き込む時にはビッグエンディアンモードで書き込むか、リトルエンディアンで書き込む場合には上位バイトと下位バイトをスワップさせる必要があります。

１２－２）ＲＳ２３２Ｃドライバ使用時の注意事項

LF-54 に実装されている RS232C ドライバには ONLINE・SHDOWN のドライバ制御信号があり、当信号は SH2 の I/O（PB4,PB5）に接続されています。SH2 SCI0 ポートを使用し外部と通信を行う場合、前記の信号がディセーブル状態(SHDOWN が Low)になっていると通信ができませんのでご注意下さい。

１２－３）ＣＰＬＤについて

LF-54 に実装されている CPLD の JTAG 端子はボード上の CN8 に接続されており、アルテラ社のコンパイラ及びバイトブラスタを使用して CPLD にデータを書き込むことは可能ですが、お客様での CPLD 書き換えは LF-54 及び PC/104 BUS に接続されるスレーブボードの故障の原因となりますので、行わないで下さい。

１２－４）ＰＣ／１０４　ＢＵＳへのアクセス

LF-54 の PC/104 BUS は、物理的形状・ピンアサイン（一部を除く）は規格に準拠しておりますが、BUS タイミングに関しては SH2 CPU の信号線が接続（一部加工されている）されているため、PC/104 BUS タイミングには準拠しておりません、PC/104 BUS にスレーブボードを接続する場合には、SH2 CPU のバスステートコントローラ（BSC）等により BUS タイミングを調整する必要がある場合があります。（弊社で取扱のあるボードに限り設定データをご提供できます）

また、SH2 CPU のバイトデータの並びはインテル系とは逆になっている為、16bit 以上でアクセスするスレーブボードでは注意が必要です。
（short a = 0x1234 の場合、メモリ上でインテル系は 34 12 ですが日立系は 12 34 となります）

尚　LF-54 では、PC/104 BUS に対しての制御信号を CPLD で生成しております。
以下に、CPLD の生成する信号の条件を記載致しますので、LF-54 にスレーブボードを接続される場合は、下記内容をご留意下さい。

１２－４－１）PC/104 BUS 制御信号出力条件

- !IORD
  SH2 が H'00800000～0080FFFF（8 ビット I/O 空間）または、H'00C00000～00C0FFFF（16 ビット I/O 空間）の読み出しを行った場合に、Low を出力します。
- !IOWR
  SH2 が H'00800000～0080FFFF（8 ビット I/O 空間）または、H'00C00000～00C0FFFF（16 ビット I/O 空間）の書き込みを行った場合に、Low を出力します。
- !SMEMRD
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の読み出しを行った場合に、Low を出力します。
- !SMEMWR
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の書き込みを行った場合に、Low を出力します。
- !SMEMRD
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の読み出しを行った場合に、Low を出力します。

- !SMEMWR
  SH2 が H'00900000～009FFFFF（8 ビットメモリ空間）の書き込みを行った場合に、Low を出力します。
- !MEMR
  SH2 が H'00D00000～00FFFFFF（16 ビットメモリ空間）の読み出しを行った場合に、Low を出力します。
- !MEMW
  SH2 が H'00D00000～00FFFFFF（16 ビットメモリ空間）の書き込みを行った場合に、Low を出力します。
- RESDRV
  基板上のリセット回路からの信号が Low または、SH2 のウォッチドッグタイムアウト端子が Low にアサートされた場合に、Hi を出力します。
- AEN
  SH2 の DACK0 または DACK1 が Low にアサートされた場合に、Hi を出力します。
- !SBHE
  SH2 が!CS3 を Low にアサートした場合に、Low を出力します。
- SYSCLK
  SH2 のクロック出力端子が接続されており、クロックを出力するためには、SH2 内臓レジスタにて当該端子をクロック出力に設定する必要があります。（クロックは、SH2 の動作クロックです。）

１２－４－２）PC/104 BUS のタイミング

LF54 でのボード内デバイス及び PC/104　BUS のタイミング及びデータバス幅は SH2 内臓レジスタの設定により異なり、（接続する PC/104 ボードによって設定は異なります）CPLD は SH2 の信号をデコードしているのみで､タイミングコントロールは行っておりません。SH2 の設定データに関しましては、弊社取り扱いの PC/104 ボードのみ、ご提供できます。

１２－４－３）PC/104 BUS スレーブボードのデコード

8 ビット I/O 空間と 16 ビット I/O 空間は、CPU からのアクセス領域は違いますが、PC/104 BUS から見た場合、A0～A15,!IORD,!IOWR は同一の信号が出力されてしまいますので、I/O スレーブボードを複数接続される場合、スレーブボードが 16 ビット、8 ビットに関わらず同一アドレスにデコードすることはできません。